

# תכנון לבדיקות ויישום באמצעות Boundary-Scan

ד"ר עמי גורודצקי

ADC ישראל

ami\_gorodetsky@adc.com

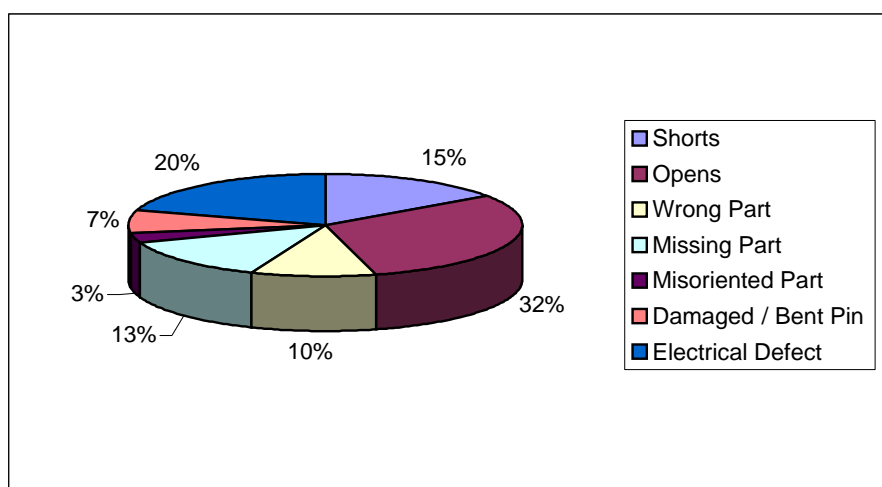
## חלק 1

### תמצית

המורכבות ההולכת וגדלה כל העת וצפיפות פני הקלט/פלט בתכנון כרטיסי אלקטרוניקה חדשים, הביאו להתפרסות טכניקת הבדיקה Boundary Scan (BS) על-פי תקן IEEE 1149.1, עבור כל מוצרי התקשורת החדשים של חברת ADC ישראל (טלדטה לשעבר). טכניקת הבדיקה המסורתית In-Circuit (ICT), אשר שימשה עד כה עבור מוצרים שלנו הישנים, הפכה לבלתי ישימה בחלקה עבור תהליכי בדיקה מבניים (Structural test) וצריבות תוך-מעגל בסביבת הייצור. המאמר שלהלן דו-חלקי מתאר את יישום אסטרטגיית הבדיקה Boundary Scan ושילובה עם טכניקות בדיקה מבניות אחרות ב-ADC ישראל. אסטרטגיית הבדיקה המבנית של ADC ישראל מבוססת על דרגה גבוהה של התכנון לבדיקות (DFT), המתחילה כבר בשלב התכנון ברמת המערכת וכוללת את התכנון של כל כרטיס וכל רכיב ASIC שבתכנון, תוך תיעוד כל שלב במטרה לסייע למהנדסי התכנון בשלבי הפיתוח.

## הקדמה

ייצור כרטיסים הוא תהליך מורכב החשוף למגוון של בעיות העלולות להוביל למוצר סופי פגום. הרכבת הרכיבים לא נכונים, או הרכבת הרכיבים הנכונים בכיוון הלא נכון, הם רק דוגמה קטנה. הלחמה של חלקים עדינים (fine-pitch) עלולה לגרום לכל מיני קצרים ונתקים ברגלי הרכיב. תרשים מס' 1 מציג את ההתפלגות הממוצעת של התקלות בכרטיס טיפוסי עבור מעגל מודפס שבו הרכיבים מולחמים על-פני הלוח (טכנולוגיית Surface Mount). פגמי הלחמה מהווים יותר מ-40% מהתקלות, עוד 20% נובעים מתקלות חשמליות ברכיבים, ושאר הפגמים מקורם במיקום שגוי של הרכיבים על לוח המעגל המודפס.



תרשים מס' 1: התפלגות טיפוסית של פגמים בטכנולוגיית Surface Mount

בדיקת כרטיס מבנית (Structural test) היא באופן כללי, איתור הבעיות הנ"ל במטרה להבטיח הכרטיס המיוצר תואם במדויק לזה שהתכוונו לייצר.

כאשר בודקים כרטיס שפותח על-פי כללי התכנון לבדיקות Boundary Scan, מבדק שמבוסס ב-PC מאפשר למשתמשים לוטת ולהבחין באותות הניתנים לסריקה (scannable) שעל הכרטיס, ברמת האפיק או רגל הרכיב. בדרך זו יכולים מהנדסי הבדיקה לעבוד על-פי הוראות ה-BS וערכי הנתונים. הם אינם צריכים להיות מטרדים ממספר דופקי ה-TCK או מסדר הסיביות ב-TMS הנדרש בכדי לעבור מכוונת מצבים של Test Access Port (TAP) למצב ה-Shift-DR. יתר על כן, מבדק כזה מאפשר ייצור אוטומטי לתבניות בדיקה ובידוד תקלות עבור כל רגל הרכיב.

כדי לספק את היכולות המאפשרות למהנדסי הבדיקה להתעלם מפרטי סדר הסיביות, דרוש למבדק קלט מסוים. ראשית, נחוצים לו דגמים של BSDL (שפת תיאור ה-Boundary Scan) עבור כל הרכיב בשרשרת ה-BS. דגמים אלו מגדירים את אופן התחברות שרשרת ה-BS הפנימית של כל הרכיב לשרשרת ה-BS של כרטיס כולו ואילו פונקציות BS נתמכות על-ידי הרכיב. שנית, דרוש מבדק לדעת כיצד מתחברים ביניהם כל הרכיבים על הכרטיס (הן אלו של טכנולוגיית Boundary Scan והן אלו שלא), ולצורך כך נחוצה לו רשימת החיבורים של המעגל המודפס (ה-netlist). לבסוף, כדי להבין כיצד שרשרת ה-BS ברמת הכרטיס בנויה, נחוץ למבדק דגם של שרשרת ה-BS.

לכרטיסים שחלקם מצוידים עם רכיבי ה-BS ניתן לחלק את כל הקווים לקבוצות על-פי סוגי כיסוי התקלות שהגיש בעזרת טכנולוגיית Boundary Scan (ר' טבלה).

הגדרה	סוג כיסוי התקלות
	1. מבנה טהור של BS
100% גילוי של קצרים ונתקים	2. מבנה של BS חלקית (לפחות משדר BS אחד ומקלט BS אחד בקו שמחובר לרכיב שאינו BS)
100% גילוי של קצרים וזיהוי חלקי של נתקים	3. חיבור של BS פין עם פין שאינו BS
גילוי חלקי של קצרים	4. פלטי BS מחוברים ל-Vcc או ל-GND
גילוי חלקי של נתקים וקצרים	5. קווים שאינם BS ללא גישה מצדו של מבדק
אין כיסוי תקלות	6. קווים שמחוברים ל-TAP
100% גילוי על-ידי בבדיקת שלמות שרשרת BS	

רמת כיסוי התקלות בכרטיס המושגת תלויה כמובן ישירות במספר הקווים שבכל סוג הכיסוי. על-כן, עלינו לקחת בחשבון כבר בשלב תכנון הכרטיס, כיצד נחלקים הקוי הכרטיס לסוגים אלה, שכן בנוסף לרכיבים שאינם BS, כוללים מרבית הכרטיסים גם רכיבים אנלוגיים.

בתהליך הייצור, טכנולוגיית הבדיקה BS משלימה את טכניקת הבדיקה ICT. פילוסופיית הבדיקה המבנית של חברת ADC ישראל דוגלת בשילוב התועלות שבטכניקת הבדיקה Boundary Scan עם היתרונות שבטכניקת הבדיקה המסורתיות ICT. פתרון שכזה יספק את רמות כיסוי תקלות ואבחון טובים, תוך שהוא דורש מתאמים ICT פשוטים יותר וזולים יותר.

## יישום התכנון לבדיקות (DFT)

**בדיקות (Testability)** היא היכולת לייצר, להעריך ולבצע בדיקות במטרה לשפר את האיכות ולהקטין את משך הזמן עד לרווחיות. הבדיקות מוכמות את מידת הכוונות של תכנון למציאת פגמי ייצור או שגיאות בשטח. מערכת הניתנת לבדיקה, פירושה כיסוי תקלות וגילוי תקלות טובים יותר, זמן בדיקה קצר יותר, איכות מוצר גבוהה יותר, זמן-לגעה-לשוק קצר יותר ועלויות מחזור חיים נמוכות יותר.

הבדיקות היא לא המצאה טכנולוגית. היא אינה מתרחשת סתם כך, אלא חייבת להיות מתוכננת. זוהי דרך מחשבה, שבה המתכנן הוא בעל מודעות לחשיבות הבדיקה. הבדיקות חייבת להיות חלק מתהליך התכנון ויש להתייחס אליה כאל חלק ממפרט התכנון (הן ברמת

המערכת והן ברמת הכרטיס). על כל מתכנן (או מתכנת, כמיבן) לשאול את עצמו/עצמה לפני התחלת התכנון: "כיצד אבדוק את התכנון, כיצד הוא ייבדק בתהליך הייצור, וכיצד הוא ייבדק בשטח?".

**תכנון לבדיקות (DFT)** הוא דאגת מפתח בתהליך פיתוח חומרה באלקטרוניקה. על כל מתכנן חומרה יש להתרכז על אוסף טכניקות וקללים שמטרתם לאפשר את תקינות המוצר הסופי. פילוסופיית הבדיקה של ADC ישראל מתייחסת ל-DFT כאל אחד השיקולים המרכזיים שיש לקחת בחשבון כאשר מתכננים כל כרטיס.

כרטיס שלא ניתן לבדיקה בצורה יעילה, לא ניתן לייצור בצורה יעילה, תחרותית, איכותית ולשביעות רצון הלקוח הסופי. 'ניתן לבדיקה ביעילות', פירושו שתוכנת ייצור וקטורי בדיקה צורכת משאבי זכרון וזמן במידה סבירה כדי להפיק מספר סביר של וקטורי בדיקה, המניבים רמת כיסוי תקלות מתקבלת על הדעת.

**טכניקות DFT** – תהליכי תכנון המיועדים להבטיח שתכנון (כרטיס או מערכת) יהיה בדיקתי. שתי תכונות חשובות הקשורות לבדיקות הן *controllability* ו-*observability*.

**Controllability** (או יכולת שליטה) היא היכולת לקבוע ערך אות ספציפי בצומת שבמעגל חשמלי על ידי הגדרת ערכים בפלט של מבדק.

**Observability** (או יכולת צפייה) היא היכולת לצפות את ערך האות בצומת שבמעגל חשמלי על ידי בקרת הפלט של מבדק ובחינת הקלט שלו.

מרבית טכניקות ה-DFT עוסקות בחיבור מחדש של תכנון קיים או בתוספת חומרה לתכנון. רוב הגישות דורשות התאמות ושינויים במעגלים וגורמות בדרך כלל לתפיסת שטח הכרטיס, להוספת פני קלט/פלט או שימוש בפנינים שלא בשימוש ולגידול בעלויות המעגל. על כן, קיים איזון קריטי בין מידת ה-DFT שיש להפעיל לרווח המושג.

יישום כללי DFT מבטיח את תכנון הכרטיס כשדרישות הבדיקה כוללים בתוכו. לצורך כך, חשוב לעיין את מידת הבדיקות בכל שלב בתהליך התכנון. DFT כולל את התכנון החשמלי, את המבנה המכני ואת התיעוד והתוכנה. כללי ה-DFT אינם חוקי טבע אלא פרוצדורות של נוחות.

יישום כללי ה-DFT חשוב לא רק למטרות בדיקה אלא גם לצורכי צריבות תוך-מעגל. לדוגמה, כאשר משתמשים בטכנולוגיית הבדיקה BS עבור צריבות תוך-מעגל לרכיבי זכרון Flash, יש להגשים קוי מנחה הבאים:

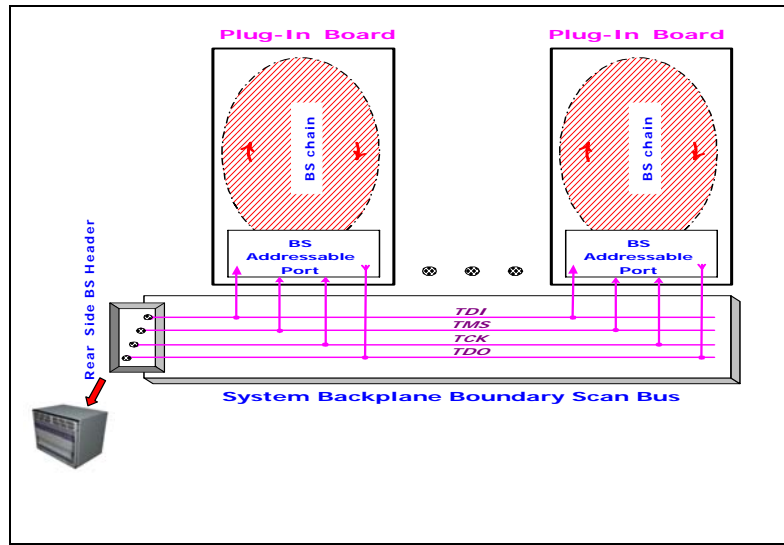
- קוי הכתובת והנתונים, כמו גם קוי הבקרה של רכיבי Flash, צריכים להיות מחוברים אל תאי BS נפרדים כדי לספק יכולת שליטה מלאה.
- כאשר הגישה בין רכיבי ה-BS ואפיקי Flash היא באמצעות חוצצים קווי בקרת קיוון וקוי ה-OE של החוצצים צריכים להיות מחוברים אל תאי BS נפרדים.

יישום DFT מבטיח בדיקה יעילה של הכרטיס והמערכת ויכולת לאבחן תקלות כבר בשלב מוקדם של תהליך הייצור. להלן כמה מהיתרונות של תכנון לבדיקות (DFT):

- DFT מפחית את הזמן הדרוש לדיבוג תקלות בשלב המו"פ.
- DFT מפחית את הזמן הדרוש להעברת תכנון משלב המו"פ לקו הייצור.
- DFT מפחית את הצורך במעורבות הנדסית לאחר שלב התכנון כדי לשלב את התכנון במערך הייצור.
- DFT מפחית את עלויות הייצור ומגדיל את הרווחיות.
- DFT מפחית את הזמן הדרוש לביצוע בדיקה וכן את עלויות פיתוח הבדיקה היעילה.
- DFT מביא לפיתוח מוצרים עם עלויות מחזור חיים נמוכות יותר. הדבר מביא להגדלת מכירות המוצרים ולהקטנת זמן-ההגעה-לשוק.

- DFT מפחית את משך תהליכי הבדיקה ותהליכי צריבות תוך-מעגל, מפחית עיכובים בייצור, ומאפשר להריץ ביעילות בדיקות ייצור עם רמת כיסוי תקלות גבוהה.
- DFT מגביר את יעילות השירות בשטח בזכות יכולת אבחון ותיקון תקלות גבוהה יותר.

ארכיטקטורת בדיקות ברמת המערכת פותחה ב-ADC ישראל כדי לתמוך באסטרטגיית הבדיקה BS בכל שלבי הבדיקה המבנית ובשלב השירות בשטח. מחבר BS המאפשר גישה מנקודה אחת לכל שרשרות ה-BS של כל כרטיסים במערכת, ממוקם בצד האחורי של לוח האם במקום המאפשר גישה נוחה אליו. כל כרטיס המתחבר אל לוח האם תוכנן לתמוך בטכניקת הבדיקה Boundary Scan הן ברמת הכרטיס והן ברמת המערכת כולה (ר' תרשים מס' 2).



תרשים מס' 2: ארכיטקטורת DFT ברמת המערכת

(המשך בירחון הבא)